

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

HOON KIM

Serial No.: *to be assigned*

Examiner: *to be assigned*

Filed: 12 March 2004

Art Unit: *to be assigned*

For: THIN FILM TRANSISTOR AND METHOD FOR FABRICATING THE SAME

CLAIM OF PRIORITY
UNDER 35 U.S.C. §119

Mail Stop: Patent Application


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application, Korean Priority No. 2003-24431 (filed in the Republic of Korea on 17 April 2003) filed in the U.S. Patent and Trademark Office on 12 March 2004, is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,



Robert E. Bushnell

Reg. No.: 27,774

Attorney for the Applicant

Suite 300, 1522 "K" Street, N.W.
Washington, D.C. 20005
(202) 408-9040

Folio: P57012
Date: 12 March 2004
I.D.: REB/sb



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024431
Application Number

출원 년 월 일 : 2003년 04월 17일
Date of Application APR 17, 2003

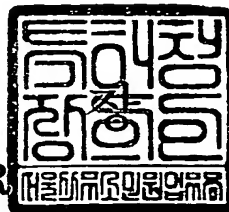
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.17
【발명의 명칭】	박막 트랜지스터 및 그의 제조 방법
【발명의 영문명칭】	Thin film transistor and method of fabricating the same
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	김훈
【성명의 영문표기】	KIM,H00N
【주민등록번호】	731201-1790218
【우편번호】	137-072
【주소】	서울특별시 서초구 서초2동 1364-49 402호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



【요약서】

【요약】

본 발명은 단차에 의한 회로의 쇼트를 방지하는 박막 트랜지스터 및 그의 제조 방법에 관한 것으로, 유리 기판 상에 형성된 버퍼층과; 상기 버퍼층 상에 형성된 활성층과; 상기 활성층을 포함한 버퍼층 상에 형성된 게이트 절연막을 포함하며, 상기 버퍼층은 활성층 하부의 부분과 그 이외의 부분간에 단차진 박막 트랜지스터를 제공하는 것을 특징으로 한다.

【대표도】

도 3

【색인어】

TFT, 단차, 과도 식각

【명세서】

【발명의 명칭】

박막 트랜지스터 및 그의 제조 방법{Thin film transistor and method of fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 박막 트랜지스터를 나타내는 단면도.

도 2는 종래의 박막 트랜지스터에서 과도 식각에 의해 활성층의 측면에서 쇼트가 발생하는 것을 나타내는 SEM 사진.

도 3은 본 발명의 실시예에 따른 박막 트랜지스터를 나타내는 단면도.

(도면의 주요 부위에 대한 부호의 설명)

200; 유리 기판 210; 버퍼층

220; 활성층 230; 게이트 절연막

240; 게이트 전극 A; 단차

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 박막 트랜지스터 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 단차에 의한 회로의 쇼트를 방지하는 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

- <9> 최근에는 박막 트랜지스터의 게이트 절연막의 두께가 점점 감소하고 있다. 그러나, 게이트 절연막의 두께가 감소함에 따라 활성층과 게이트 전극간의 쇼트 발생 빈도가 증가한다. 이는 활성층 형성 시에 하부의 버퍼층이 동시에 식각되어 발생하는 높은 단차에 의한 것이다.
- <10> 이하 첨부된 도면을 참조하여 종래 기술에 대하여 설명한다.
- <11> 도 1은 종래의 박막 트랜지스터를 나타내는 단면도이다.
- <12> 도 2는 종래의 박막 트랜지스터에서 과도 식각에 의해 활성층의 측면에서 쇼트가 발생하는 것을 나타내는 SEM 사진이다.
- <13> 도 1을 참조하면, 버퍼층(110)을 구비한 유리 기판(100) 상에 비정질 실리콘막을 증착하고 결정화하여 폴리 실리콘막을 형성한다. 그런 다음, 상기 폴리 실리콘막을 패터닝하여 활성층(120)을 형성하고, 활성층(120) 표면의 불순물을 제거하기 위하여 HF 등을 이용하여 표면 처리 공정을 수행한다.
- <14> 그런 다음, 상기 기판 상에 게이트 절연막(130)을 증착하고, 상기 게이트 절연막 상에 게이트 전극(140)을 형성한다.
- <15> 이때, 상기 활성층(120)을 형성하기 위한 패터닝 공정과 활성층(120)을 표면 처리하는 공정에서 상기 버퍼층(110)의 과도 식각이 발생한다. 이로 인해 버퍼층(110)에 단차(A1)가 발생하게 된다.
- <16> 도 2를 참조하면, 상기 버퍼층(110)의 과도 식각에 의해 발생한 높은 단차(A1)로 인하여 활성층(120)의 측벽에서 게이트 절연막(130)의 두께가 감소함을 알 수 있다. 즉, 도 2에서와 같이 활성층의 측벽에서 게이트 절연막의 두께가 B1에서 B2까지 감소함을 알 수 있다. 따라서,

게이트 절연막(130)의 두께가 감소하여 활성층(120)과 게이트 전극(140) 사이에 쇼트가 발생할 수 있다.

- <17> 상기한 문제점을 해결하기 위하여 게이트 절연막(130)을 두껍게 증착하는 방법이 있다. 그러나, 상기 게이트 절연막(130)을 두껍게 증착하면, 구동 전압이 상승하고, 소비 전력이 증가하는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

- <18> 본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 활성층 형성 시에 발생하는 단차를 제어하여 회로의 쇼트를 방지하며, 게이트 절연막의 두께를 얇게 하여 효율의 저하나 표시 불량 등의 발생을 방지할 수 있는 박막 트랜지스터 및 그의 제조 방법을 제공하는 데에 그 목적이 있다.

【발명의 구성 및 작용】

- <19> 상기한 목적을 달성하기 위한 본 발명은 유리 기판 상에 형성된 버퍼층과; 상기 버퍼층 상에 형성된 활성층과; 상기 활성층을 포함한 버퍼층 상에 형성된 게이트 절연막을 포함하며, 상기 버퍼층은 활성층 하부의 부분과 그 이외의 부분간에 단차가 지며, 상기 단차는 활성층과 게이트 절연막의 두께의 합의 1/2 이하인 박막 트랜지스터를 제공하는 것을 특징으로 한다.
- <20> 상기 버퍼층은 상기 게이트 절연막이 측벽에서 두께 변화가 생기지 않을 정도의 단차를 갖는 것이 바람직하다. 또한, 상기 활성층이 SPC 폴리 실리콘 300Å이며 단차가 350Å인 경우에 상기 게이트 절연막은 400Å이상으로 하며, 상기 활성층이 ELA 폴리 실리콘 500Å이며 단차가 750Å인 경우에는 상기 게이트 절연막이 1000Å 이상인 것이 바람직하다.

- <21> 또한, 본 발명은 버퍼층을 구비한 유리 기판 상에 비정질 실리콘막을 증착하는 단계와; 상기 비정질 실리콘막을 결정화하여 다결정 실리콘막을 형성하는 단계와; 상기 다결정 실리콘막을 식각하여 활성층을 형성하는 단계와; 상기 활성층을 표면 처리하는 단계와; 상기 기판 상에 게이트 절연막을 증착하는 단계를 포함하며, 상기 활성층을 형성 공정과 활성층의 표면 처리 공정은 상기 버퍼층 중 게이트 하부의 부분과 그 이외의 부분간의 단차가 활성층과 게이트 절연막 두께의 합의 $1/2$ 이하의 단차를 갖도록 식각시간을 조절하는 박막 트랜지스터의 제조 방법을 제공하는 것을 특징으로 한다.
- <22> 본 발명의 실시예에 있어서, 상기 식각시간은 상기 버퍼층이 측벽에서 게이트 절연막의 두께 변화가 생기지 않을 정도의 단차를 갖도록 하며, 상기 버퍼층이 활성층과 게이트 절연막 두께의 합의 $1/2$ 이하의 단차를 갖도록 하는 것이 바람직하다.
- <23> 이하 첨부된 도면을 참조하여, 본 발명의 실시예를 설명한다.
- <24> 도 3은 본 발명의 실시예에 따른 박막 트랜지스터를 나타낸 단면도이다.
- <25> 도 3을 참조하면, 유리 기판(200) 상에 상기 유리 기판(200)으로부터 금속 이온 등의 불순물이 확산되어 다결정 실리콘의 활성층에 침투되는 것을 방지하기 위한 버퍼층(210, buffer layer; diffusion barrier)을 형성한다.
- <26> 상기 버퍼층(210) 형성 이후에, 상기 버퍼층(210)의 상부에 비정질 실리콘막을 증착한다. 상기 비정질 실리콘막을 탈수소화하고, ELA 등의 결정화 방법을 통하여 다결정 실리콘막(poly-Si)으로 만든다. 그런 다음, 상기 폴리 실리콘막 상에 활성층을 형성하기 위한 포토레지스트를 형성하고, 포토레지스트를 마스크로 하여 상기 폴리 실리콘막을 패터닝하여 TFT의 채널(channel) 영역으로 작용하는 활성층(220)을 형성한다.

- <27> 그런 다음, 상기 활성층(220) 형성 공정 이후에 활성층(220)의 표면에 남아 있는 포토레지스트 등의 불순물을 제거하기 위하여 활성층(220)의 표면을 HF 등으로 표면 처리한다.
- <28> 이때, 상기 활성층(220) 형성 공정과 활성층(220)의 표면 처리 공정 시에 버퍼층(210)의 과도한 식각으로 인해 버퍼층에 단차(A2)가 발생하게 된다. 그러나, 본 발명에서는 상기 활성층(220) 형성 공정과 표면 처리 공정 시에 버퍼층(210)의 과도 식각 시간을 조절하여, 후속의 게이트 절연막 증착시에 활성층의 측벽에서 균일한 두께로 게이트 절연막이 증착되도록 상기 단차(A2)를 조절할 수 있다.
- <29> 하기의 표 1은 게이트 절연막(230)의 두께와 과도 식각으로 인한 단차(A2)와의 관계를 나타내는 표이다.

<30> 【표 1】

게이트 절연막의 두께와 과도 식각과의 관계

과도 식각	Si의 두께	과도 식각 최대치 = (게이트 절연막+폴리 실리콘 두께)/2	TR의 파괴 여부	게이트 절연막
500 Å	ELA 500 Å	750 Å	동작	실리콘산화막(1000 Å)
700 Å	ELA 500 Å	750 Å	파괴 시작	
1000 Å	ELA 500 Å	750 Å	파괴	
200 Å	SPC 300 Å	350 Å	동작	실리콘산화막(400 Å)
400 Å	SPC 300 Å	350 Å	파괴 시작	

- <31> 상기 표 1을 참조하면, 활성층(220)으로 사용되는 ELA 폴리 실리콘막의 두께가 500 Å, 게이트 절연막(230)인 실리콘 산화막이 1000 Å인 경우에 버퍼층의 과도 식각으로 인한 단차(A2)가 700 Å 이상 발생하면, 박막 트랜지스터의 파괴가 일어나는 것을 알 수 있다.

- <32> 또한, 활성층인 SPC(solid phase crystallization) 폴리 실리콘막의 두께가 300Å, 게이트 절연막(230)인 실리콘 산화막이 400Å인 경우에 버퍼층의 과도 식각으로 인한 단차(A2)가 400Å 이상 발생하는 경우 역시, 박막 트랜지스터의 파괴가 일어나는 것을 알 수 있다.
- <33> 즉, 상기 게이트 절연막(230)의 두께와 과도 식각과의 관계 표 1에서 알 수 있듯이, 버퍼층의 과도 식각을 인한 단차(A2)가 게이트 절연막(230)과 폴리 실리콘의 두께의 합의 절반 이상이 되는 경우, 박막 트랜지스터의 파괴가 발생한다.
- <34> 따라서, 상기 버퍼층의 단차(A2)를 상기 게이트 절연막(230)과 폴리 실리콘의 두께의 합의 절반 이하로 하는 것이 바람직하다.
- <35> 이후에, 상기 활성층(220)이 구비된 기판(200) 상에 게이트 절연막(230)을 증착한다. 그리고, 상기 게이트 절연막(230) 상부에 전도성의 게이트 메탈을 증착하고, 상기 게이트 메탈을 패터닝하여 게이트 전극(240)을 형성한다.

【발명의 효과】

- <36> 상기한 바와 같이 본 발명에 따르면, 상기 단차가 상기 활성층과 게이트 절연막의 두께의 절반 이하로 발생할 경우 게이트 절연막이 활성층의 측벽에서 균일한 두께로 형성되어, 상기 활성층과 게이트 전극간의 쇼트가 없는 박막 트랜지스터를 제공할 수 있다.
- <37> 또한, 단차를 조절함으로써 게이트 절연막을 보다 얇게 형성할 수 있으며, 미리 활성층의 두께 역시 조절할 수 있다.
- <38> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



【특허청구범위】

【청구항 1】

유리 기판 상에 형성된 버퍼층과;

상기 버퍼층 상에 형성된 활성층과;

상기 활성층을 포함한 버퍼층 상에 형성된 게이트 절연막을 포함하며,

상기 버퍼층은 활성층 하부의 부분과 그 이외의 부분간에 단차가 지며, 상기 단차는 활성층과 게이트 절연막의 두께의 합의 $1/2$ 이하인 것을 특징으로 하는 박막 트랜지스터.

【청구항 2】

제 1항에 있어서,

상기 버퍼층은 상기 게이트 절연막이 측벽에서 두께 변화가 생기지 않을 정도의 단차를 갖는 것을 특징으로 하는 박막 트랜지스터.

【청구항 3】

제 1 항에 있어서,

상기 활성층이 SPC 폴리 실리콘 300\AA 이며 단차가 350\AA 인 경우, 상기 게이트 절연막은 400\AA 이상인 것을 특징으로 하는 박막 트랜지스터.

【청구항 4】

제 1항에 있어서,

상기 활성층이 ELA 폴리 실리콘 500\AA 이며 단차가 750\AA 인 경우, 상기 게이트 절연막은 1000\AA 이상인 것을 특징으로 하는 박막 트랜지스터.

【청구항 5】

버퍼층을 구비한 유리 기판 상에 비정질 실리콘막을 증착하는 단계와;

상기 비정질 실리콘막을 결정화하여 다결정 실리콘막을 형성하는 단계와;

상기 다결정 실리콘막을 식각하여 활성층을 형성하는 단계와;

상기 활성층을 표면 처리하는 단계와;

상기 기판 상에 게이트 절연막을 증착하는 단계를 포함하며,

상기 활성층을 형성 공정과 활성층의 표면 처리 공정은 상기 버퍼층 중 게이트 하부의 부분과 그 이외의 부분간의 단차가 활성층과 게이트 절연막 두께의 합의 1/2 이하의 단차를 갖도록 식각시간을 조절하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

【청구항 6】

제 4항에 있어서,

상기 식각시간은 상기 버퍼층이 측벽에서 게이트 절연막의 두께 변화가 생기지 않을 정도의 단차를 갖도록 하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

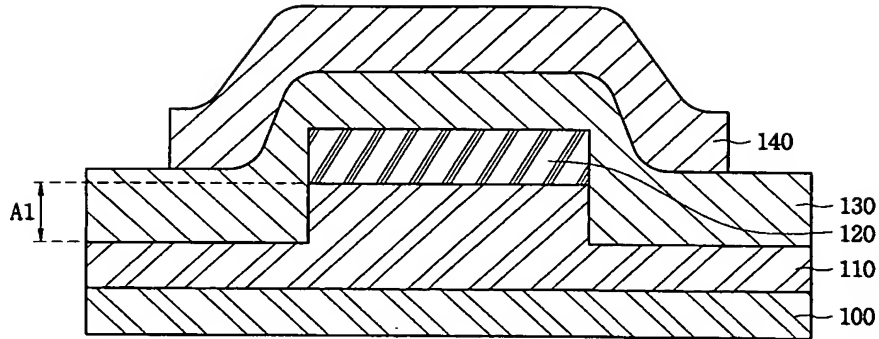
【청구항 7】

제 4 항에 있어서,

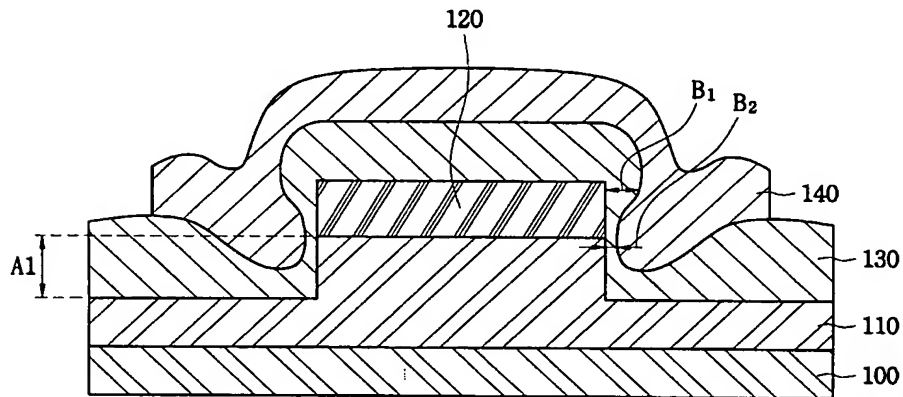
상기 식각시간은 상기 버퍼층이 활성층과 게이트 절연막 두께의 합의 1/2 이하의 단차를 갖도록 하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

【도면】

【도 1】



【도 2】



【도 3】

